



University of Applied Sciences

**HOCHSCHULE
EMDEN·LEER**

Praktikum Digitaltechnik

3 CMOS u. TTL-Kennlinien

Gruppe:

Teilnehmer:

Vortestat:

Testat:

Benutzte Geräte:

CMOS- und TTL-Kennlinien

Einleitung: Dieser Versuch dient der Einführung in die elektronische Technologie der TTL und CMOS-Schaltkreise. Die Aufgabe besteht, darin die Kennlinie eines TTL- und CMOS-Gatters aufzunehmen. Im Folgenden werden die Grundsaltungen der verwendeten TTL-Gatter kurz erläutert und Hinweise auf das Experimentiersystem gegeben.

1. TTL-Grundsaltungen:

Grundlagen: Die logischen Glieder werden als Halbleiterschaltungen unter hauptsächlichlicher Verwendung von Transistoren aufgebaut. Die Transistorsysteme werden als bipolare Transistorensysteme – nicht als FET-hergestellt. Besonderes Kennzeichen der meist verwendeten Schaltungen ist ein Transistorsystem mit mehreren Emittoren, der sogenannte Multi-Emitter-Transistor (Bild 1).

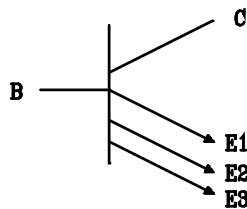


Bild 1

Die Transistor-Transistor-Logik (TTL) stellt eine Weiterentwicklung der DTL-Technik (DTL – Diode-Transistor-Logik) dar. Die Hauptmerkmale dieser TTL-Familie sind die folgenden:

- hohe Geschwindigkeit,
- großer Störabstand,
- niedrige Ausgangsimpedanz in beiden Zuständen,
- große Ausgangsfächerung.

DTL-Grundsaltung:

Durch die Hintereinanderschaltung eines Dioden-UND-Gatters und eines Transistor-Inverters erhält man ein NAND-Gatter in Diode-Transistor-Logik (DTL). Bild 2 zeigt die Schaltung eines solchen Gatters. Die beiden Dioden D3 und D4 werden zwischen das Dioden-UND-Gatter und den Transistor-Inverter geschaltet, um die Eingangsumschaltschwelle auf ca. 1,4V anzuheben. DTL-Schaltungen werden wegen der durch die Sättigung der Transistoren bedingten großen Gatterlaufzeit nicht mehr eingesetzt. Aus diesem Grund kommt man zur TTL-Gatter-Schaltung.

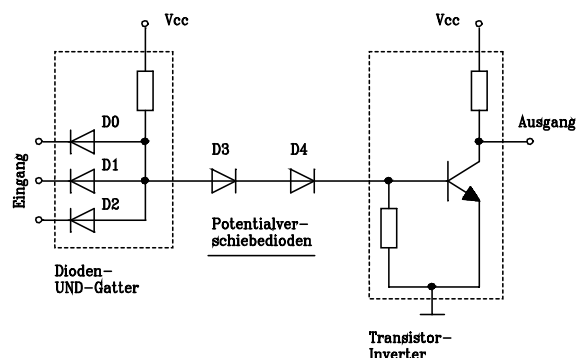


Bild 2

TTL-Grundsaltungen:

Die TTL-Familie ist heute die am meisten verbreitete Bipolar-Logik-Familie. Dies ist einmal die Folge ihrer ausgezeichneten Eigenschaften, andererseits ist die TTL wirtschaftlich in integrierte Form bis weit in den LSI-Bereich¹ herstellbar. TTL besitzt ein sehr günstiges Geschwindigkeits-Verlustleistungs-Produkt, nämlich 100pJ. Die Laufzeit beträgt 10ns und die Verlustleistung 10mW. TTL wird wie die DTL mit einer Spannung von 5V +/- 10% versorgt.

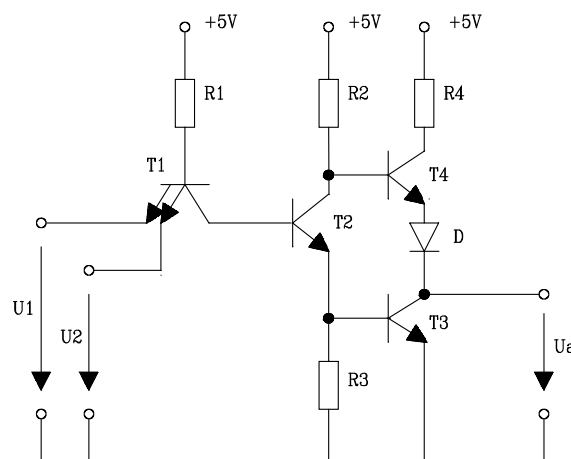
Man unterscheidet fünf Ausführungsformen (Schaltbilder der Varianten a, c und d sind in Bild 8 dargestellt):

- die Standard-TTL-Serie
- die Low Power-TTL-Serie, wobei zu a) nur die internen Widerstände größer sind
- die Schottky-TTL-Serie, hierbei verwendet man die Schottky-Barrier-Dioden², die sehr geringe Schaltzeiten ermöglichen.
- die Low-Power-Schottky-TTL, sie ist eine Version von c) mit geringer Verlustleistung
- die High-Power-TTL-Serie, die hier verwendeten internen Widerstände sind geringer als bei a).

Bei dem Standard-TTL-Gatter Bild 3 ist das Dioden-Gatter durch den Transistor T1 mit mehreren Emittoren ersetzt. Sind alle Eingangspegel im H-Zustand, fließt der von R1 kommende Strom über die in Durchlassrichtung betriebene Basis-Kollektor-Diode des Eingangstransistors in die Basis von T2 und macht diesen leitend.

Legt man einen Eingang auf niedriges Potential, wird die betreffende Basis-Emitter-Diode leitend und übernimmt den Basisstrom von T2. Dadurch sperrt T2, und das Ausgangspotential geht in den H-Zustand. Wenn T2 leitend ist, wird auch T3 leitend, und T4 sperrt. Am Ausgang entsteht ein L-Pegel, und der Transistor T3 kann große Ströme aufnehmen, die z.B. von angeschlossenen Gatter-Eingängen herrühren.

Im L-Zustand fließt ein Strom aus den Eingängen heraus. Wenn T2 sperrt, sperrt auch T3. In diesem Fall wird T4 leitend und liefert ein H-Signal an den Ausgang. Der als Emitterfolger betriebene Transistor kann in diesem Fall große Ausgangsströme liefern und dadurch Lastkapazitäten schnell aufladen. Standard-TTL-Schaltungen wie in Bild 3 werden wegen der durch die Sättigung der Transistoren bedingten Gatterlaufzeit nicht mehr eingesetzt. Eine Möglichkeit zur Verhinderung der Sättigung besteht darin, eine Schottky-Diode parallel zur Kollektor-Basis-Strecke zu schalten.



¹ LSI: Large Scale Integration (in der Größenordnung von 1000 Gattern pro Chip); aus heutiger Sicht eher eine winzig kleine Anzahl an Gattern - Steigerungen von LSI sind: VLSI (V - Very); ULSI (U - Ultra)... - die exakten Grenzen sind nicht sauber definiert

² Schottky-Dioden sind Dioden, die bereits bei ca. 0,3V in Flußrichtung leiten. Durch eine Parallelschaltung zur Basis-Collector-Diode wird die Übersteuerung des Bipolar-Transistors begrenzt, was insbesondere beim Abschalten zu einer deutlichen Verringerung der Speicherzeit führt (siehe Transistor-Versuch des Digitaltechnik-Praktikums)

Bild 3

Übertragungskennlinie: Die Übertragungskennlinie eines Schaltgledes gibt den Zusammenhang zwischen Eingangs- und Ausgangsspannung an. Sie hängt von der Belastung und der Temperatur ab. Alle niedrigen Schaltungsglieder (NAND- und NOR-Glieder) zeigen einen qualitativ ähnlichen Verlauf. Die nicht gemessenen Eingänge müssen bei NAND-Schaltgliedern auf H-Potential oder offen sein bei NOR-Schaltgliedern auf L-Potential liegen. Aus der Übertragungskennlinie lassen sich auch die Werte der typischen Logikpegel und des statischen Störabstandes entnehmen. Bild 4 zeigt den qualitativen Verlauf einer solchen Kennlinie.

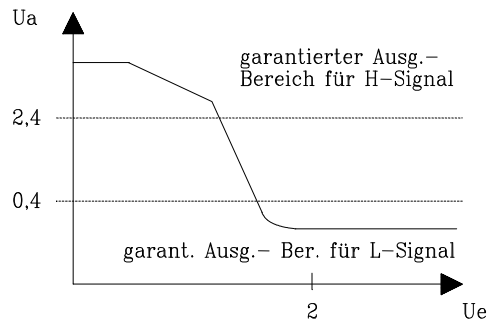


Bild 4

Eingangskennlinie:

Sie gibt den Zusammenhang zwischen Eingangsstrom und Eingangsspannung an. Bild 5 zeigt die typische Eingangskennlinie eines Schaltgliedereingangs bei Raumtemperatur. Entsprechend den drei Quadranten, in denen die Kennlinie verläuft, sind drei Bereiche zu unterscheiden. Der H-Bereich liegt im ersten Quadranten und kennzeichnet den Sperrzustand des Eingangstransistors. Bei einem Schwellwert von U_1 wird der Eingangstransistor leitend, und der Eingangsstrom fließt jetzt aus dem Schaltglied heraus. Dies entspricht dem Durchlassbereich des Transistors (4. Quadrant). Bei negativer Eingangsspannung wird die Klemmdiode leitend, und der Eingangsstrom nimmt stark zu (3. Quadrant). Die Eingangskennlinie ist von der Ausgangsbelastung unabhängig, da Schaltglieder rückwirkungsfrei sind.

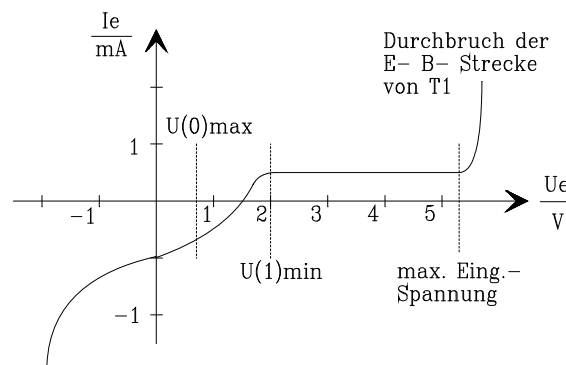
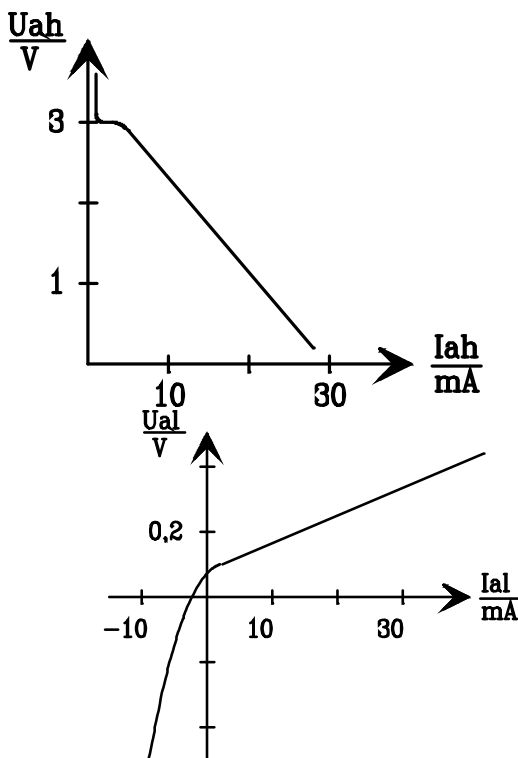


Bild 5

Ausgangskennlinie:

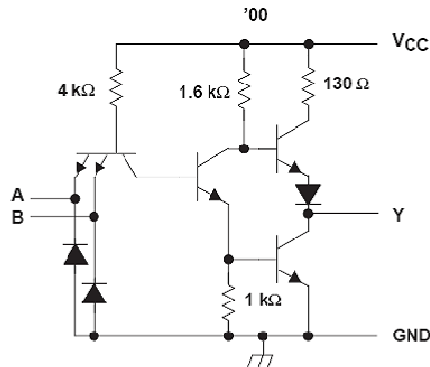
Da der Ausgangszustand eines Schaltgliedes vom Eingang festgelegt wird, gibt es zwei Ausgangskennlinien. Bild 6 zeigt die Kennlinie für den H- und Bild 7 für den L-Zustand. Beide Kennlinien sind von der Ausgangsbelastung und von der Temperatur abhängig. Bei Belastung eines Ausgangs mit systemeigenen TTL- Eingängen fließt nur der verhältnismäßig geringe Eingangsstrom dieser Schaltglieder. Die Ausgangskennlinie im H-Zustand ist durch einen weitgehend linearen Abfall, d.h. konstanten Innenwiderstand gekennzeichnet. Die Ausgangskennlinie im L-Zustand ist auch für negative Spannungen angegeben, obwohl solche im stationären Betrieb nicht vorkommen. Bei dynamischen Schaltvorgängen können negative Spannungen am Ausgang als Folge von Reflexionen auftreten.

Bei der Belastung des Gatters durch eine angeschlossene ohmsche Last (z.B. TTL-Gattereingänge) ist darauf zu achten, dass die Ausgangsspannung noch im jeweiligen Logikbereich liegt.

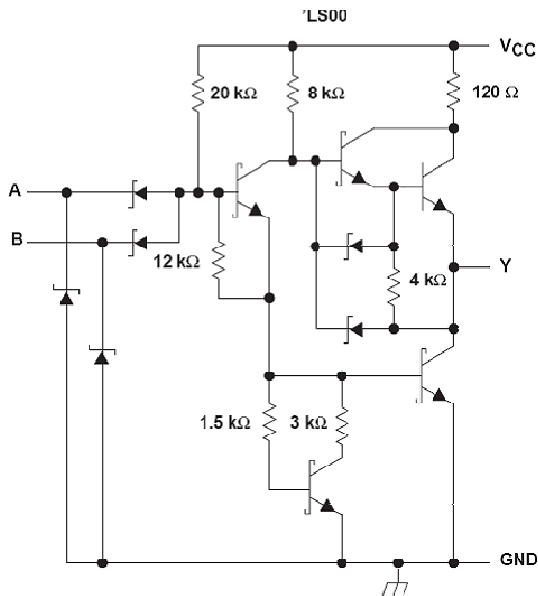
Bild 6Bild 7

Schaltbilder der verschiedenen TTL-Technologien:

Standard-TTL



Lower-Power Schottky-TTL



Schottky-TTL

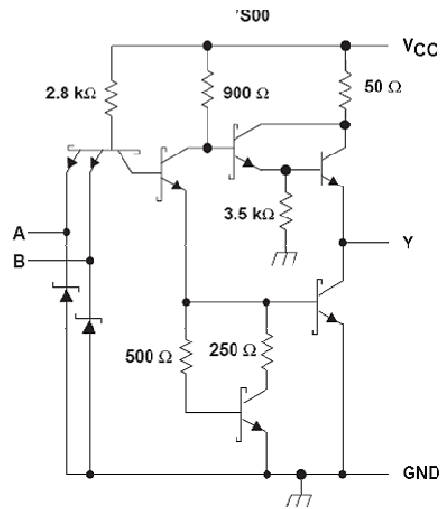
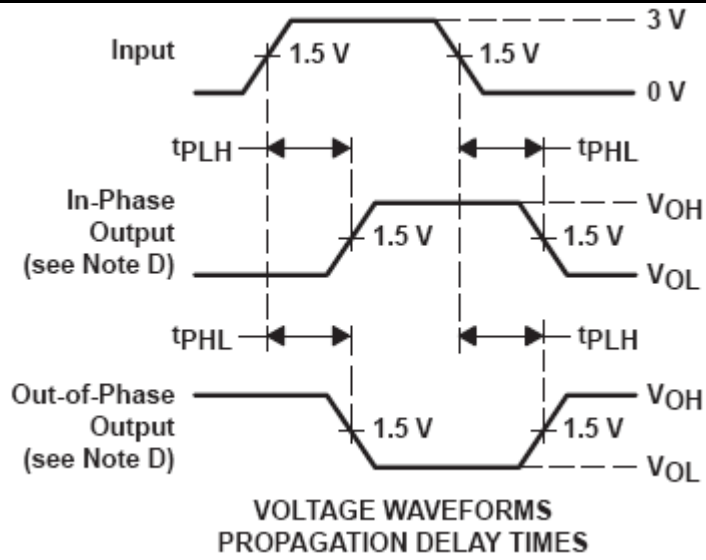


Bild 8: verschiedene Bauformen von TTL-Gattern

Technische Daten der Standard-TTL-Serie:

Im Folgenden sind Ausschnitte aus dem Datenblatt der SN74-Serie von TI (Texas Instruments) angegeben. Die einzelnen Angaben sollen hier zunächst kurz stichwortartig erklärt werden:

- Absolute maximum ratings: Maximale Parameter, die (noch) nicht zur Zerstörung der Schaltung führen. Eine korrekte Funktion wird oberhalb der „recommended operating conditions“ jedoch nicht gewährleistet.
- „electrical characteristics over...“: garantierte elektrische Werte wenn die Schaltung innerhalb der unter „recommended operating conditions“ definierten Grenzen betrieben wird.
- SN54/SN74: die 54er Bausteine sind für militärische und die 74er Bausteine für kommerzielle Anwendungen vorgesehen
- VCC, VIH, VIL, IOH, IOL und TA: die Bedeutungen sind in der Tabelle jeweils angegeben. Für die SN7400-Bauteile bedeutet dies:
 - V_{CC}: die Versorgungsspannung ist im Bereich von 4,75V bis 5,25V zu wählen,
 - V_{IH}: Spannungen oberhalb von 2V werden am Eingang als High-Pegel erkannt,
 - V_{IL}: Spannungen unterhalb von 0,8V werden am Eingang als Low-Pegel erkannt,
 - I_{OH}: Bei einem High-Pegel am Ausgang darf der Ausgang maximal mit -0,4mA (also keine Ströme kleiner -0,4mA) belastet werden (positive Zählrichtung aus dem Gatter hinaus)
 - I_{OL}: Bei einem Low-Pegel am Ausgang darf der Ausgang maximal mit 16mA belastet werden
 - T_A: Umgebungstemperatur im Bereich von 0 bis 70°C (bei der 54er-Serie ist ein höherer Betriebsbereich gewährleistet)
 - V_{IK}: bei einem negativen Strom am Eingang von bis zu -12mA wird durch eine Klamp-Schaltung gewährleistet, dass die Eingangsspannung nicht unter -1,5V sinken wird
 - V_{OH}: unter den angegebenen Bedingungen wird eine minimale Ausgangsspannung von 2,4V als High-Pegel garantiert.
 - V_{OL}: unter den angegebenen Bedingungen wird eine maximale Ausgangsspannung von 0,4V als Low-Pegel garantiert.
 - I_I: bei maximalem VCC und 5,5V Eingangsspannung fließt maximal ein Eingangsstrom von 1mA
 - I_{IH}: der tatsächliche Eingangsstrom bei 2,4V am Eingang (High-Pegel) wird 40µA nicht überschreiten
 - I_{IL}: der Eingangsstrom bei 0,4V am Eingang (Low-Pegel) wird -1,6mA nicht unterschreiten (negativer Strom bedeutet aus dem Eingang hinaus)
 - I_{CCH}/I_{CCL}: maximaler Strom durch die Versorgungsknoten der Schaltung wenn am Ausgang ein High-(I_{CCH}=8mA) bzw. Low-Pegel (I_{CCL}=22mA) anliegt
 - t_{PLH}: Propagation Delay des Gatters bei einem Low-High-Übergang am Gatterausgang (siehe folgende Abbildung)
 - t_{PHL}: Propagation Delay des Gatters bei einem High-Low-Übergang am Gatterausgang (siehe folgende Abbildung)



o

absolute maximum ratings over operating free-air temperature (unless otherwise noted)†

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: '00, 'S00	5.5 V
'LS00	7 V
Package thermal impedance, θ_{JA} (see Note 2): D package	86°C/W
DB package	96°C/W
N package	80°C/W
NS package	76°C/W
PS package	95°C/W
Storage temperature range, T_{stg}	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. Voltage values are with respect to network ground terminal.
 2. The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions (see Note 3)

	SN5400			SN7400			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH} High-level input voltage	2			2			V
V_{IL} Low-level input voltage			0.8			0.8	V
I_{OH} High-level output current			-0.4			-0.4	mA
I_{OL} Low-level output current			16			16	mA
T_A Operating free-air temperature	-55		125	0		70	°C

NOTE 3: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS‡	SN5400			SN7400			UNIT
		MIN	TYP§	MAX	MIN	TYP§	MAX	
V_{IK}	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$			-1.5			-1.5	V
V_{OH}	$V_{CC} = \text{MIN}, V_{IL} = 0.8 \text{ V}, I_{OH} = -0.4 \text{ mA}$	2.4	3.4		2.4	3.4		V
V_{OL}	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, I_{OL} = 16 \text{ mA}$		0.2	0.4		0.2	0.4	V
I_I	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$			1			1	mA
I_{IH}	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$			40			40	µA
I_{IL}	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$			-1.6			-1.6	mA
$I_{OS}¶$	$V_{CC} = \text{MAX}$	-20		-55	-18		-55	mA
I_{CCH}	$V_{CC} = \text{MAX}, V_I = 0 \text{ V}$		4	8		4	8	mA
I_{CCL}	$V_{CC} = \text{MAX}, V_I = 4.5 \text{ V}$		12	22		12	22	mA

‡ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

§ All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$.

¶ Not more than one output should be shorted at a time.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN5400 SN7400			UNIT
				MIN	TYP	MAX	
t_{PLH}	A or B	Y	$R_L = 400 \Omega, C_L = 15 \text{ pF}$		11	22	ns
t_{PHL}					7	15	

Technische Daten der Low-Power-Schottky-Serie:

Die wesentlichen Unterschiede zur Standard-TTL-Serie sind:

- geringere Ströme (geringere Treiberfähigkeit, geringere Versorgungsströme)
- geringere Verzögerungszeiten beim Low-High-Übergang am Ausgang

recommended operating conditions (see Note 4)

		SN54LS00			SN74LS00			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage				0.7			V
I_{OH}	High-level output current				-0.4			mA
I_{OL}	Low-level output current				4			mA
T_A	Operating free-air temperature	-55			125			°C

NOTE 4: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS00			SN74LS00			UNIT	
		MIN	TYP‡	MAX	MIN	TYP‡	MAX		
V_{IK}	$V_{CC} = \text{MIN}$, $I_I = -18 \text{ mA}$	-1.5			-1.5			V	
V_{OH}	$V_{CC} = \text{MIN}$, $V_{IL} = \text{MAX}$, $I_{OH} = -0.4 \text{ mA}$	2.5	3.4		2.7	3.4		V	
V_{OL}	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$							V	
	$I_{OL} = 4 \text{ mA}$	0.25			0.25			0.4	
	$I_{OL} = 8 \text{ mA}$				0.35			0.5	
I_I	$V_{CC} = \text{MAX}$, $V_I = 7 \text{ V}$	0.1			0.1			mA	
I_{IH}	$V_{CC} = \text{MAX}$, $V_I = 2.7 \text{ V}$	20			20			μA	
I_{IL}	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$	-0.4			-0.4			mA	
$I_{OS}§$	$V_{CC} = \text{MAX}$	-20			-100			mA	
I_{CCH}	$V_{CC} = \text{MAX}$, $V_I = 0 \text{ V}$	0.8			0.8			1.6	mA
I_{CCL}	$V_{CC} = \text{MAX}$, $V_I = 4.5 \text{ V}$	2.4			2.4			4.4	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

§ Not more than one output should be shorted at a time.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$ (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN54LS00 SN74LS00			UNIT
				MIN	TYP	MAX	
t_{PLH}	A or B	Y	$R_L = 2 \text{ k}\Omega$, $C_L = 15 \text{ pF}$	9			ns
t_{PHL}				10			

2. CMOS-Grundschaltungen:

Grundlegende CMOS Schaltungen wurden in der Vorlesung behandelt. Dokumentation zu CMOS Schaltungen finden Sie in den Vorlesung-Unterlagen.

Im Rahmen dieses Teils des Versuch soll das Versuchsobjekt 4007UBE untersucht werden:

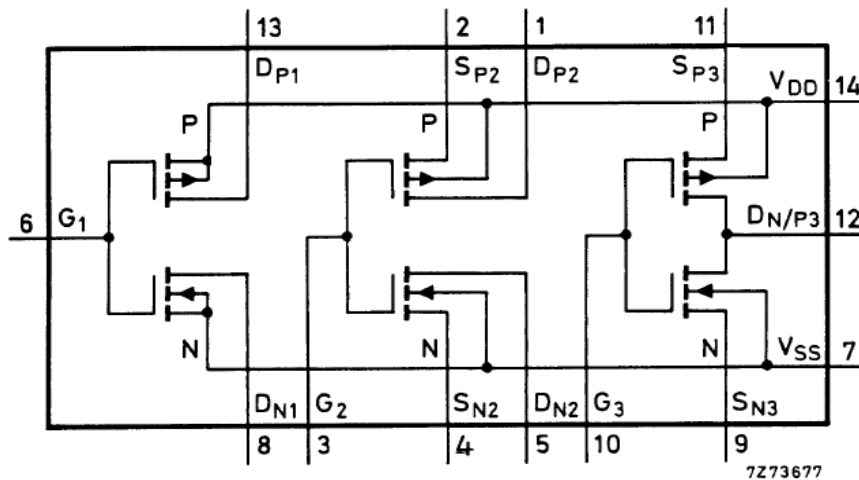


Abbildung 1: interne Realisierung des 4007UBE

Dieses Bauteil besteht aus 3 n-Kanal und 3 p-Kanal MOS Transistoren. Hierdurch ist es möglich, auf jeden Transistor des Schaltkreises zuzugreifen und Schaltungen aufzubauen.

In der Versuchsdurchführung sind Standard-CMOS-Gatter aufzubauen und mittels Prüfgenerator und Oszilloskop (XY-Betrieb) eingehend zu untersuchen.

Nicht benutzte Pins des Schaltkreises sind auf Ground zu legen.

Technische Daten:
SCL 400B Familie:

ABSOLUTE MAXIMUM RATINGS: (VOLTAGE REFERENCED TO V_{SS})

PARAMETER		CONDITIONS	UNITS
DC SUPPLY VOLTAGE	V_{DD}	-0.5 to +18	Vdc
INPUT VOLTAGE	V_{IN}	-0.5 to $V_{DD} + 0.5$	Vdc
DC INPUT CURRENT (ANY ONE INPUT)	I_{IN}	+/- 10	mAdc
POWER DISSIPATION	P_T	300	mW
STORAGE TEMPERATURE RANGE	T_S	-65 to +150	°C

RECOMMENDED OPERATING CONDITIONS: (VOLTAGE REFERENCED TO V_{SS})

PARAMETER		CONDITIONS	UNITS
DC SUPPLY VOLTAGE	V_{DD}	3 to 15	Vdc
OPERATING TEMPERATURE RANGE	T_A		
CERAMIC FRIT PACKAGE		-55 to +125	°C
DIE IN WAFFLE PACK		-55 to +125	
EPOXY MOLDED PACKAGE		-40 to +85	

PARAMETRIC LIMITS ARE GUARANTEED FOR $V_{DD} = 5, 10, \text{ AND } 15 \text{ Vdc}$. WHERE LOW POWER IS REQUIRED, THE SUPPLY VOLTAGE, CONSISTENT WITH REQUIRED SPEED SHOULD BE USED. FOR INCREASED NOISE IMMUNITY AND SPEED HIGHER SUPPLY VOLTAGES SHOULD BE SPECIFIED. THE LOWER LIMIT OF SUPPLY REGULATION IS 3 Vdc OR AS DETERMINED BY REQUIRED SYSTEM SPEED, NOISE IMMUNITY, OR, INTERFACE REQUIREMENTS. THE UPPER LIMIT IS 15Vdc OR AS DETERMINED BY POWER DISSIPATION RESTRICTIONS OR INTERFACE REQUIREMENTS. UNUSED INPUTS MUST BE CONNECTED TO V_{DD} , V_{SS} OR ANOTHER INPUT. ALWAYS USE PRECAUTIONS TO PROTECT AGAINST STATIC CHARGES.

STATIC CHARACTERISTICS: ($V_{SS} = 0\text{ V}$)

PARAMETER	CONDITIONS	V_{DD} (Vdc)	T_{LOW}^*		+25°C			T_{HIGH}^{**}		UNIT					
			MIN	MAX	MIN	TYP	MAX	MIN	MAX						
QUIESCENT DEVICE CURRENT I_{DD}	$V_{IN} = V_{SS}$ OR V_{DD} ALL VALID INPUT COMBINATIONS.	5		0.05		0.0005	0.05		1.5	μA					
GATES															
10											0.1	0.001	0.1	3.0	
BUFFERS, FLIP-FLOPS		5		1.0		0.005	1.0		30	μA					
											10	2.0	0.01	2.0	60
											15	4.0	0.02	4.0	120
MSI		5		5		0.05	5		150	μA					
											10	10	0.1	10	300
											15	20	0.2	20	600
HIGH-LEVEL OUTPUT VOLTAGE V_{OH}	$V_{IN} = V_{SS}$ OR V_{DD} $ I_O \leq 1\mu\text{A}$	5	4.99		4.99	5		4.95		Vdc					
		10	9.99		9.99	10		9.95							
		15	14.99		14.99	15		14.95							
LOW-LEVEL OUTPUT VOLTAGE V_{OL}	$V_{IN} = V_{SS}$ OR V_{DD} $ I_O \leq 1\mu\text{A}$	5		0.01		0	0.01		0.05	Vdc					
		10		0.01		0	0.01		0.05						
		15		0.01		0	0.01		0.05						
MINIMUM INPUT HIGH VOLTAGE V_{IH}	$V_O = 0.5\text{V}$ OR 4.5V $V_O = 1.0\text{V}$ OR 9.0V $V_O = 1.5\text{V}$ OR 13.5V	5		3.5		2.75	3.5		3.5	Vdc					
		10		7.0		5.5	7.0		7.0						
		15		11.0		8.25	11.0		11.0						
MAXIMUM INPUT LOW VOLTAGE V_{IL}	$V_O = 0.5\text{V}$ OR 4.5V $V_O = 1.0\text{V}$ OR 9.0V $V_O = 1.5\text{V}$ OR 13.5V	5	1.5		1.5	2.25		1.5		Vdc					
		10	3.0		3.0	4.5		3.0							
		15	4.0		4.0	6.75		4.0							
INPUT CURRENT I_{IN}	$V_{IN} = 0$ OR 15V	15		± 0.1		$\pm 10^{-5}$	± 0.1		± 1.0	μA					

Speziell für den SCL 4007 UBE:

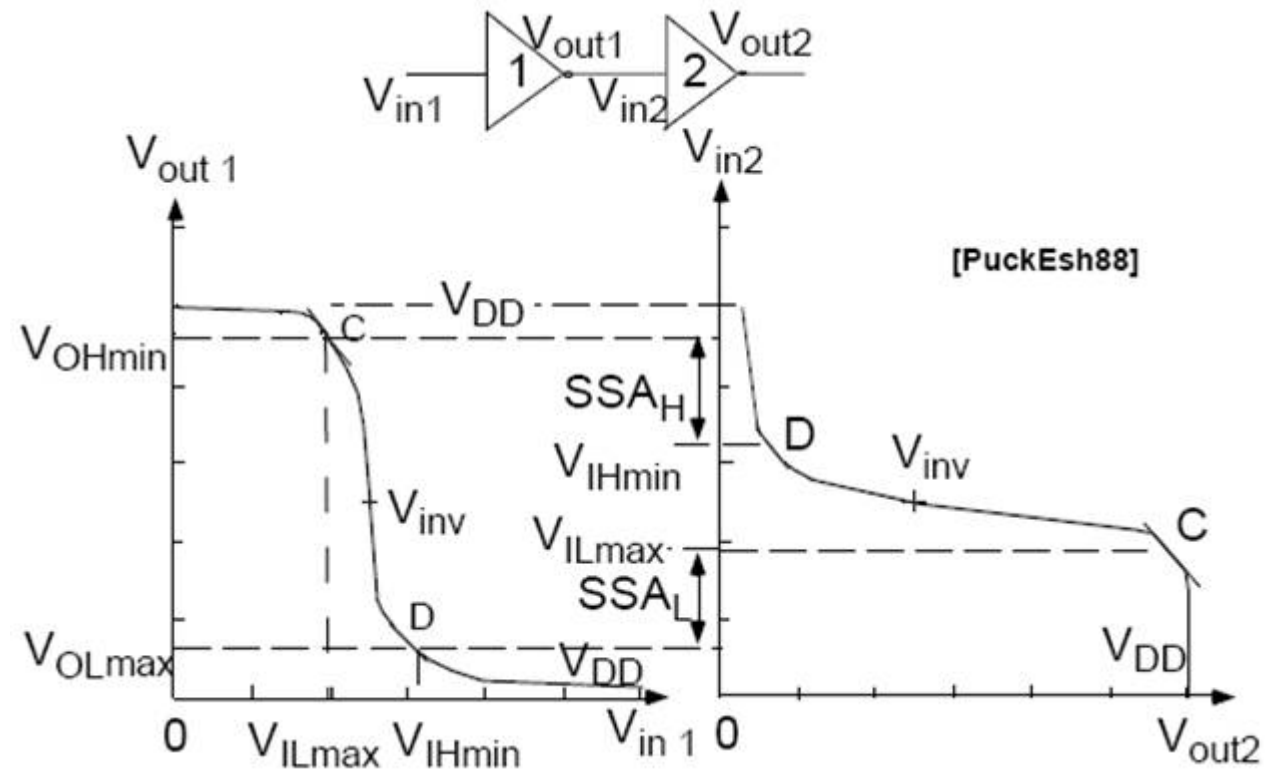
DYNAMIC CHARACTERISTICS: ($CL = 50\text{pF}$, $TA = 25^\circ\text{C}$)

PARAMETER	V_{DD} Vdc	MINIMUM	TYPICAL	MAXIMUM	UNIT
PROPAGATION DELAY TIME t_{PLH} , t_{PHL}	5		55	110	ns
	10		30	60	
	15		25	50	
OUTPUT TRANSITION TIME t_{TLH} , t_{THL}	5		100	200	ns
	10		50	100	
	15		40	80	

DYNAMIC CHARACTERISTICS: ($TA = 25^\circ\text{C}$)

PARAMETER	V_{DD} (Vdc)	MINIMUM	TYPICAL	MAXIMUM	UNIT
INPUT CAPACITANCE C_{IN}			7.5		pF

Störspannungsabstand



SSA_H und SSA_L sind Störspannungsabstände (engl.: noise margin) und geben die maximale Spannungsschwankung an, durch die das logische Ausgangs-Signal nicht verändert wird. Die Spannungswerte am Ausgang bzw. Eingang einer Schaltung unterliegen Technologie- und Temperaturschwankungen. Sie können durch äußere Störungen, z.B. Strahlung oder Übersprechen (bei parallel liegenden Leitungen können elektrische Felder dazu führen, daß Impulse von der einen auf eine andere Leitung "überspringen") verändert werden. Bei zu großen Störungen treten logische Fehler auf, bleibt die Störung jedoch im Bereich der Störspannungsabstände, so wird die Störung gedämpft. Der Störspannungsabstand wird hier untersucht für die Serienschaltung zweier Inverter.

Der Übergang von einem definierten zu einem undefinierten Wert ist dort, wo eine differentiell kleine Änderung der Eingangs-Spannung eine große Änderung der Ausgangs-Spannung bewirkt. Also dort, wo die Steigung der Ein-Ausgabe Kennlinie 1 bzw. -1 ist. Diese Übergänge sind im Diagramm durch die Punkte C und D markiert. Am Ausgang eines Gatters ist V_{OHmin} der minimale Wert für eine logische 1. Ein direkt nachfolgendes Gatter erkennt eine logische 1 sogar noch korrekt, wenn der Eingangspegel größer oder gleich V_{IHmin} ist. Das maximale Störsignal darf also SSA_H sein:

$$SSA_H = |V_{OHmin} - V_{IHmin}|$$

Entsprechend wird der Ausgang eines Gatters bis maximal V_{OLmax} als logische Null interpretiert. Das nachfolgende Gatter erkennt einen Spannungspegel von maximal V_{ILmax} noch als logische 0. Also:

$$SSA_L = |V_{ILmax} - V_{OLmax}|$$

Das Diagramm des zweiten Inverters kommt durch Spiegelung an der Winkelhalbierenden zustande.

Damit die Störspannungsabstände SSA_H und SSA_L annähernd gleich groß sein können,

sollte die logische Schaltschwelle $V_{inv} = U_{DD}/2$ sein.

Versuchsvorbereitung:

Die Aufgaben in der Versuchsvorbereitung handschriftlich (keine Kopien) zu beantworten. Die Antworten sind vor Praktikumsbeginn abzugeben.

TTL:

1. Es seien mehrere TTL-Gatter in Serie geschaltet (Ausgang eines Gatters treibt einen oder mehrere Gattereingänge). Bei welchem Ausgangspegel wird der Gatterausgang stärker belastet? Begründen Sie Ihre Antwort (Sie können sich gerne auf Bild 8 beziehen).
2. Es seien mehrere TTL-Gatter in Serie geschaltet.
 - a. Hierbei seien TTL-Gatter vom Typ SN7400 verwendet. Wieviel Gattereingänge können von einem Gatterausgang maximal getrieben werden?
Tipp: Datenblatt verwenden
 - b. Hierbei seien TTL-Gatter vom Typ SN74LS00 verwendet. Wieviel Gattereingänge können von einem Gatterausgang maximal getrieben werden?
Tipp: Datenblatt verwenden
3. Können mit NAND-Gattern beliebige Boolesche Funktionen realisiert werden? Geben Sie eine Begründung an (Stichwort: disjunktive Normalform + DeMorgan)

CMOS:

4. Es seien mehrere CMOS-Gatter in Serie geschaltet (Ausgang eines Gatters treibt einen oder mehrere Gattereingänge). Wie hoch werden die Gatterausgänge bei einem Low- bzw. High-Pegel belastet? Begründen Sie Ihre Antwort (Stichwort: Wie wirken zu treibende Gattereingänge auf den treibenden Gatterausgang?)
5. Warum ist im Datenblatt die Eingangskapazität spezifiziert?
6. Wieviel Gatter können von einem CMOS-Gatterausgang getrieben werden, damit die im Datenblatt spezifizierten Verzögerungszeiten nicht überschritten werden (der Einfluss der Verdrahtung soll hier vernachlässigt werden)?
7. In welchem Bereich darf die Versorgungsspannung bei diesem CMOS-Gatter liegen?
8. Wie verhalten sich die Schwellwertspannung (V_{OH}/V_{OL}) bei einer Veränderung der Versorgungsspannung (Begründung)? Wo liegt der Unterschied zum TTL-Gatter?
9. Berechnen Sie die Störspannungsabstände aus dem Datenblatt für einen High- und Low-Pegel.
10. Bestimmen Sie die Verschaltung der Pins für die Grundsaltung des 4007UBE, um folgende Funktionen zu realisieren:
 - a. $y = \overline{a \cdot b}$
 - b. $y = a \cdot b$
 - c. $y = \overline{(a \cdot b) + c}$

Aufgabenstellung

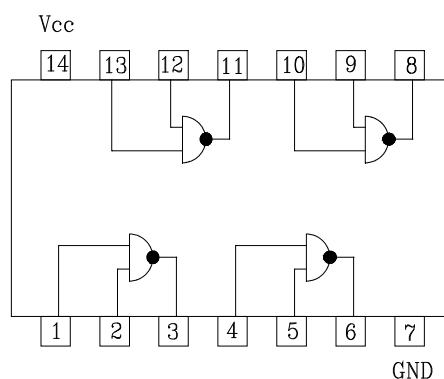
TTL:

- Die statische Kennlinien des TTL-Gatters SN 7400 sind aufzunehmen. Hierfür ist das IC mit der 5-Volt-Versorgung zu verbinden. In die Masseleitung ist der 15-Ohm-Widerstand (auf der Testplatine) zur Strommessung (nicht zur Spannungsmessung) einzufügen.
Als Eingangs-Spannungsquelle dient der Funktionsgenerator, der zunächst auf den gewünschten Pegel (0 bis 5 Volt) einzustellen ist. Als Kurvenform ist ein Dreieck zu wählen (geringe Frequenz - warum?). Als Messgerät dient ein Digitalspeicher-Oszilloskop in XY-Betrieb. Alle Kurvenverläufe lassen sich auf Diskette abspeichern.

Überprüfen Sie vor der Messung den max. und min. Pegel der Dreiecksspannung.

- Übertragungskennlinie $U_a=f(U_e)$ ($U_a=Y$; $U_e=X$ -Kanal) bei $U_b=5V$
 - Versorgungsstromkennlinie $I_{cc}=f(U_e)$ ($I_{cc}=Y$; $U_e=X$ -Kanal) bei $U_b=5V$
 - Erklären Sie den Verlauf der Versorgungsstromkennlinie! Über welchen Pfad fließt der maximale Versorgungsstrom und wie groß ist die Ausgangsspannung in diesem Arbeitspunkt (beziehen Sie sich auf Bild 8).
- Messen Sie den Eingangs-Strom I_e für $U_e=0V$ und $U_e=5V$ ($U_b=5V$)! Erklären Sie die Meßergebnisse!
 - Welche
 - ohmsche Last am Ausgang bzw.
 - wieviele Eingänge von NAND2-Gattern kann ein NAND2-Gatter gemäß Ihren Messungen maximal treiben, so dass gerade noch TTL-Pegel gegeben sind? Was gibt der Hersteller für die ohmsche Last an?
 - Schalten Sie alle vier Gatter des IC's in Serie zusammen und messen Sie mit Hilfe des Oszilloskops die Verzögerungszeit (Eingangsspannung Rechteck 0/5V). Als Spannungsquelle dient hierbei der Signalgenerator im Labortisch (Rechteck). Stellen Sie vor der Messung sicher, dass der Pegel des Generators die 0V und 5V nicht über- bzw. unterschreiten. Verwenden Sie die in den technischen Daten dargestellten Spannungswerte für die Definition der Verzögerungszeit!
 - Das IC ist mit der 5V-Versorgung **ohne** Widerstand in der Groundleitung zu verbinden.

Aufbau des TTL-IC 7400:



CMOS:

6. Realisieren Sie die Booleschen Funktionen aus der Versuchsvorbereitung und überprüfen Sie die Funktion durch Anlegen aller möglichen Eingangskombinationen. Die Transistoren des SCL-4007-UBE (Seite 10) sind zu einem NAND2-Gatter zusammen zuschalten. Überprüfen Sie die Funktion des Gatters, indem Sie die Eingänge mit sinnvollen Pegeln beschalten.
7. Für die folgenden Messungen ist ein NAND2-Gatter zu verwenden. Hierbei ist ein Eingang mit der Versorgungsspannung zu verbinden und die Eingangsspannung am anderen Eingang entsprechend mit dem Funktionsgenerator zu verbinden. Führen Sie die Messungen analog zu Aufgabe 1 und 2 durch. Als Versorgungsspannung ist jeweils die maximale und minimale Versorgungsspannung zu verwenden (siehe Datenblatt).
8. Ermitteln Sie die Schwellspannungspegel V_{IL} , V_{IH} , V_{OL} und V_{OH} aus der statischen Kennlinie. Vergleichen Sie die Ergebnisse mit den Datenblättern.